



FPGA ile Gömülü Sistem Tasarımına Giriş

Bilg. Yük. Müh. Selçuk BAŞAK

SelSistem Bilgi ve İletişim Teknolojileri

www.selsistem.com.tr

Giriş

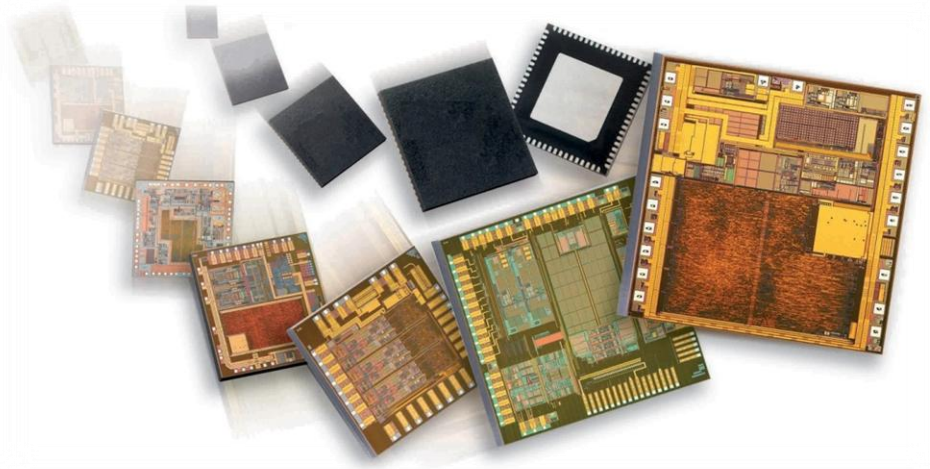
- Gömülü Sistemler
- Programlanabilir Lojik - SPLD
- FPGA & CPLD
- Donanım Tanımlama Dilleri - HDL
- FPGA ile Dijital Sistem Tasarım Adımları

Gömülü Sistemler

- Uygulamaya özel donanım ve yazılım
- Otomotiv, yayıncılık, tüketici elektroniği, endüstriyel uygulamalar, sağlık, savunma sanayi, iletişim
- Elektronik Donanım:
 - Hazır Bileşenler ile : Mikrodenetleyiciler, mikroişlemciler, DSP, ...
 - ASIC ile Uygulamaya özel entegre devre
 - Programlanabilir lojik cihazlar ile : FPGA, CPLD ve bunların kombinasyonu.

ASIC

- masked gate array
- İç devreleri oldukça hızlı çalışmaktadır
- Büyük çaplı üretimde oldukça ucuzdur (maske üretim maliyeti çok yüksek, çip üretim maliyesi çok düşük)
- Üretim ve test aşamaları oldukça fazla zaman gerektirmektedir
- Tasarımda bir hata yapılmışsa bunu düzeltmek uzun masraflı bir iştir. (Tekrar doğru maskeyi oluşturup üretim tekrarlanmalı)



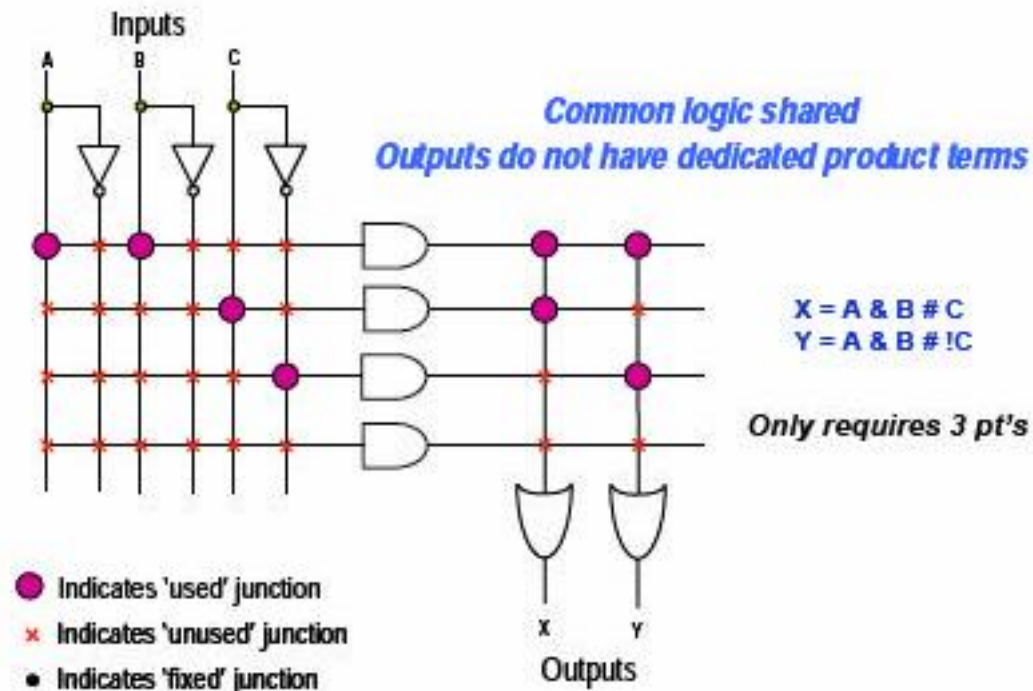
ASIC

- ASIC programlanabilen bir aygıt değildir.
- Tasarımcılar üreticinin sağlamış olduđu hücre ve fonksiyon kütüphanelerini kullanarak çalışırlar
- Tasarımcının tasarımının tam olarak silikona nasıl aktarıldığını bilmesine gerek yoktur.
- Gerçekleme düşük seviye fonksiyonlardan tamamına doğru olmaktadır
- Öncelikle tasarım için gerekli birbirine yakın transistorler, daha sonrada birbirine yakın olacak şekilde modüller oluşturulur. (routing)
- Tasarıma göre oluşturulan maske yardımı ile chip oluşturulur



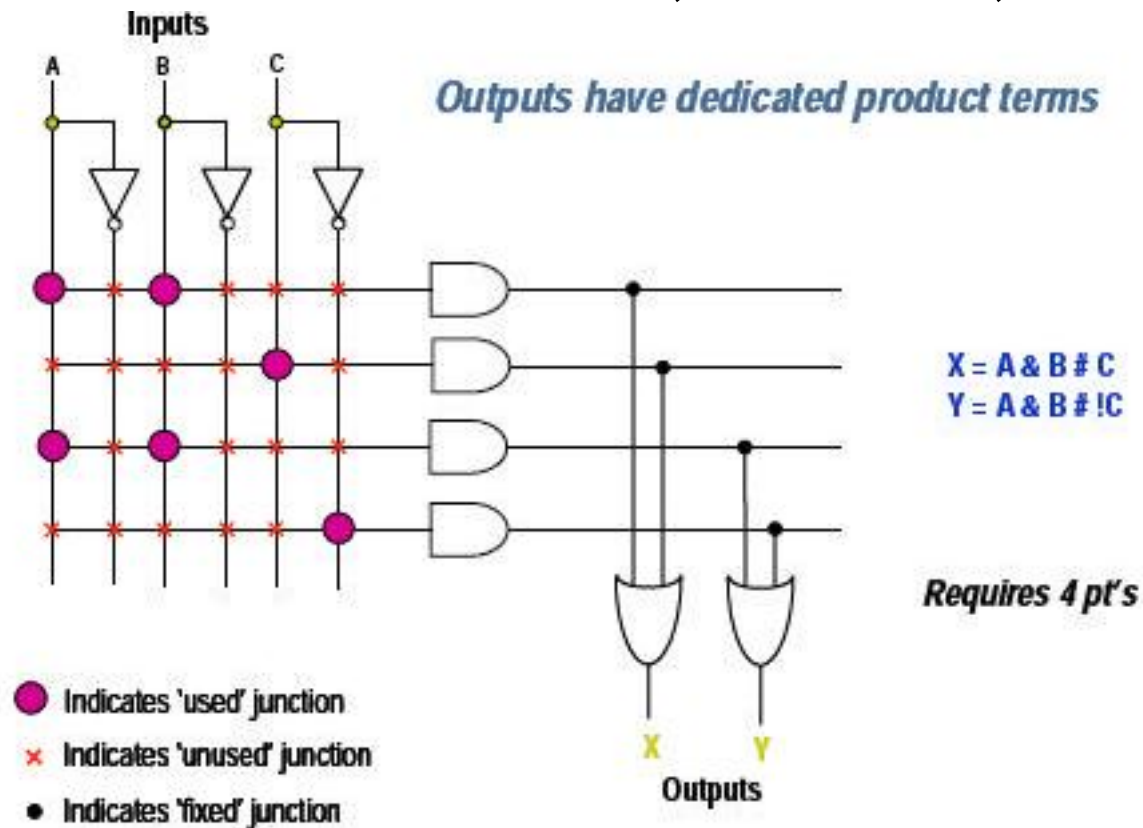
Programlanabilir Lojik - SPLD

- PLA - Programmable Logic Array
 - Signetics, 1975
 - Esnek, $10\mu\text{m}$, Yavaş!



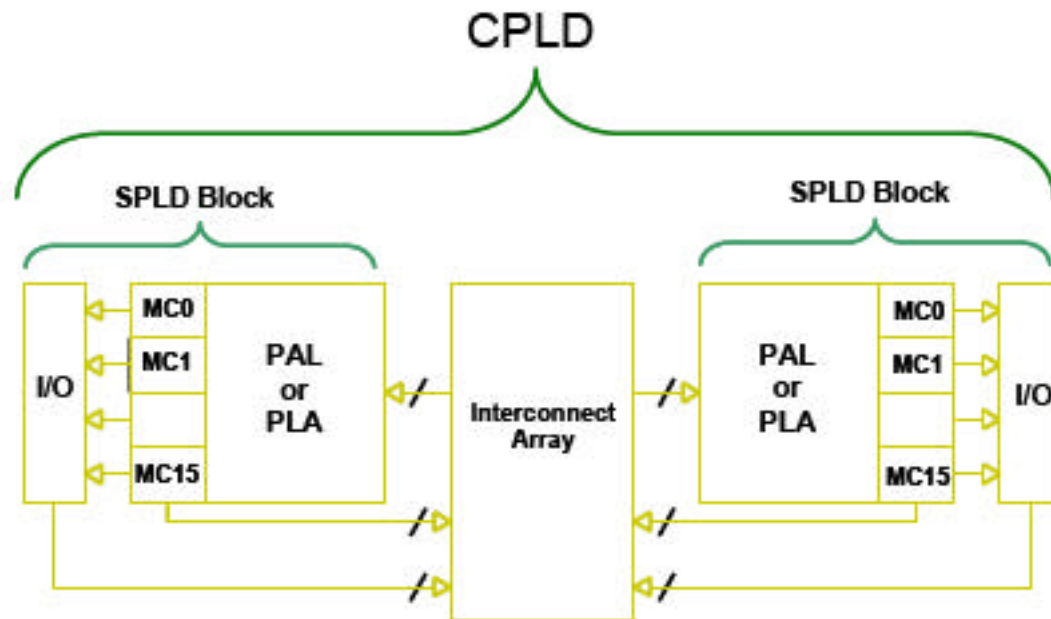
Programlanabilir Lojik - SPLD

- PAL - Programmable Array Logic
 - MMI, 1978
 - PLA'den daha az esnek, daha hızlı, daha ucuz.



CPLD

- Complex Programmable Logic Device
 - SPLD'lerden oluşan macroceller ve bu macrocellerin ara bağlantılarından oluşur.
 - Binlerce kapı içerebilir. Çok hızlı ~200 Mhz.
 - Konfigurasyonu kendi içinde saklar.
 - ISP(JTAG vs.) ile programlanabilir.



FPGA-Field Programmable Gate Array

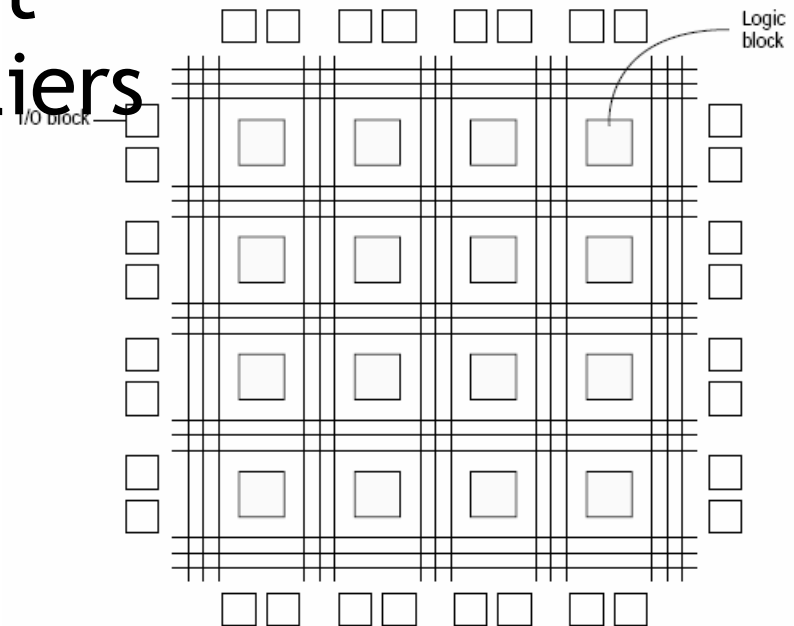
- İlk FPGA : XC2064, Ross Freeman, Xilinx 1985
- Sahada programlanabilir,
 - Yani Çipin üretildiği fabrika dışında,
 - Elektronik karta lehimlendikten sonra
 - Ve hatta son kullanıcıda kullanımdayken!

FPGA-Field Programmable Gate Array

- SRAM Tabanlı: Bir çeşit hafıza çipi yapısında.
- Konfigürasyonu PROM'dan yüklenir.
- CPLD'ler FPGA'ye konfigürasyonu PROM'dan yüklemek için kullanılabilir.
- OTP(One Time Programmable) : Antifuse

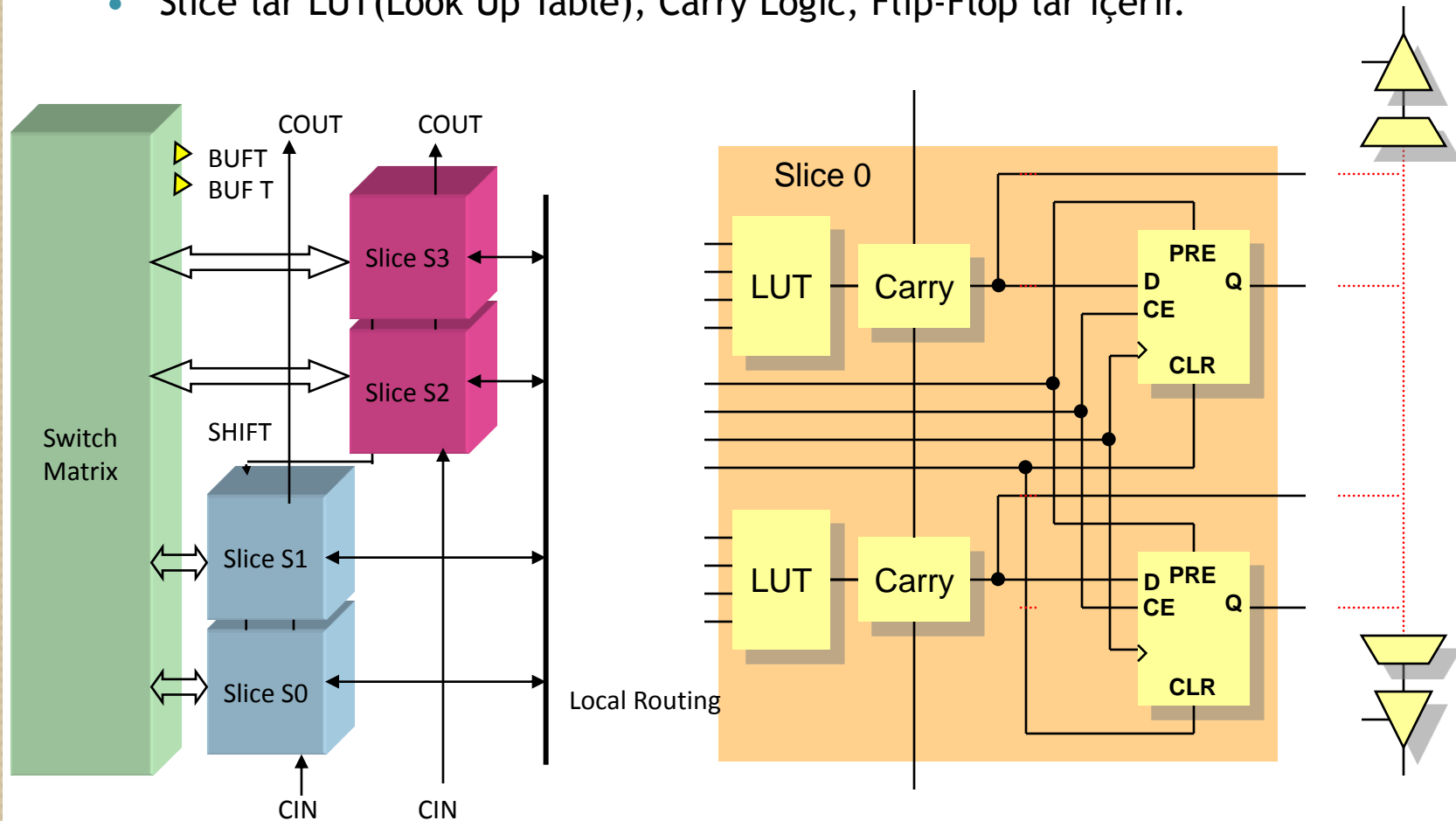
FPGA

- Logic Elements or Configurable Logic Blocks (CLBs)
- Programmable interconnect
- I/O Blocks (IOBs)
- Clock Management
- Dedicated multipliers
- Block RAM
- DSP Resources
- Microprocessors
-

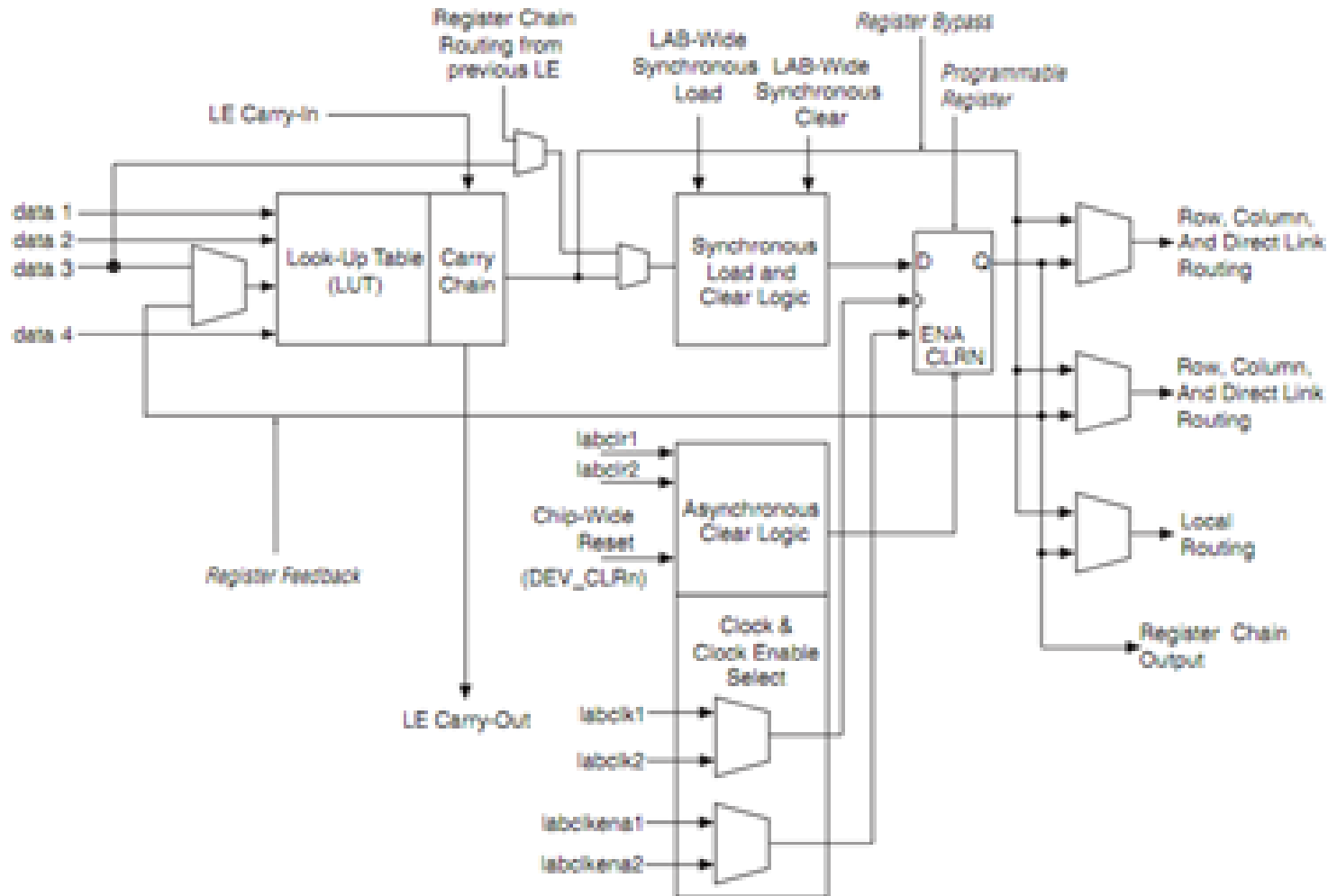


Configurable Logic Blocks (CLBs)

- CLB'ler Slice yapılarında oluşmaktadır.
- Aynı CLB içindeki Slice'lar birbirleri ile yerel arabağlantılara sahiptir.
- Slice'lar LUT(Look Up Table), Carry Logic, Flip-Flop'lar içerir.

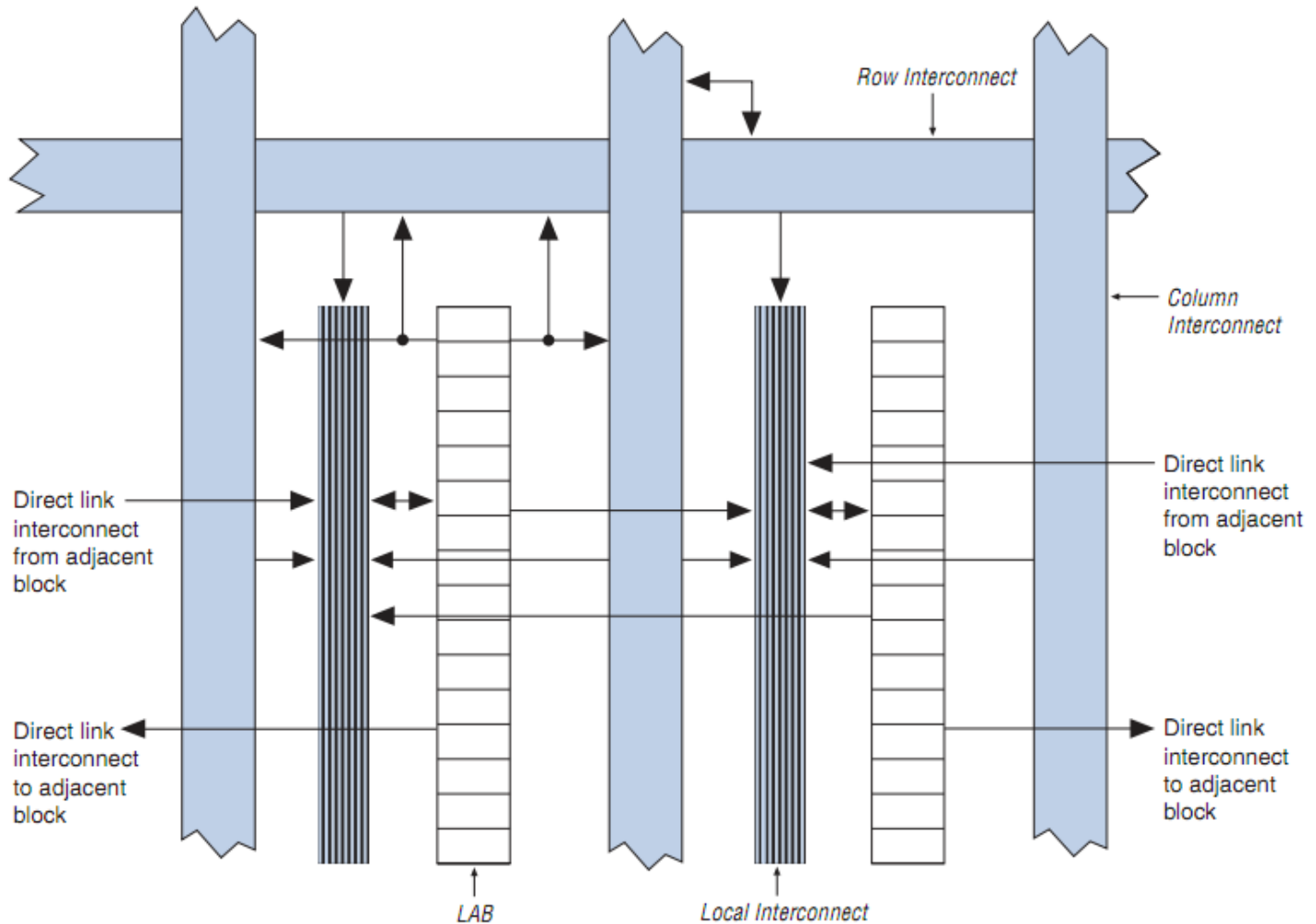


Logic Element



Altera Cyclone III FPGA LE

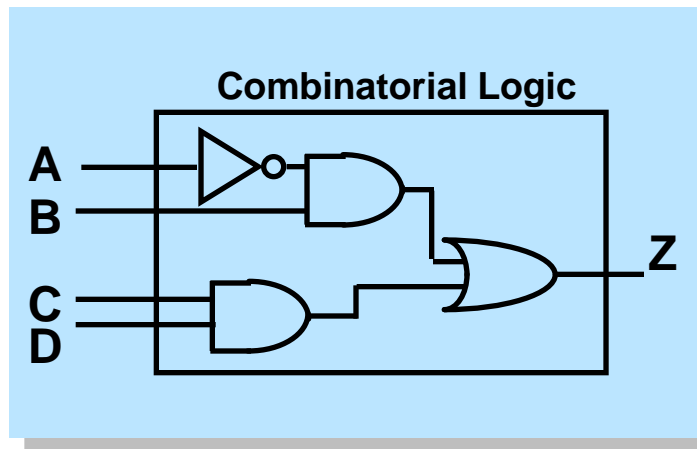
Ara bağlantılar - Interconnections



Altera Cyclone III FPGA

Look Up Table (LUT)

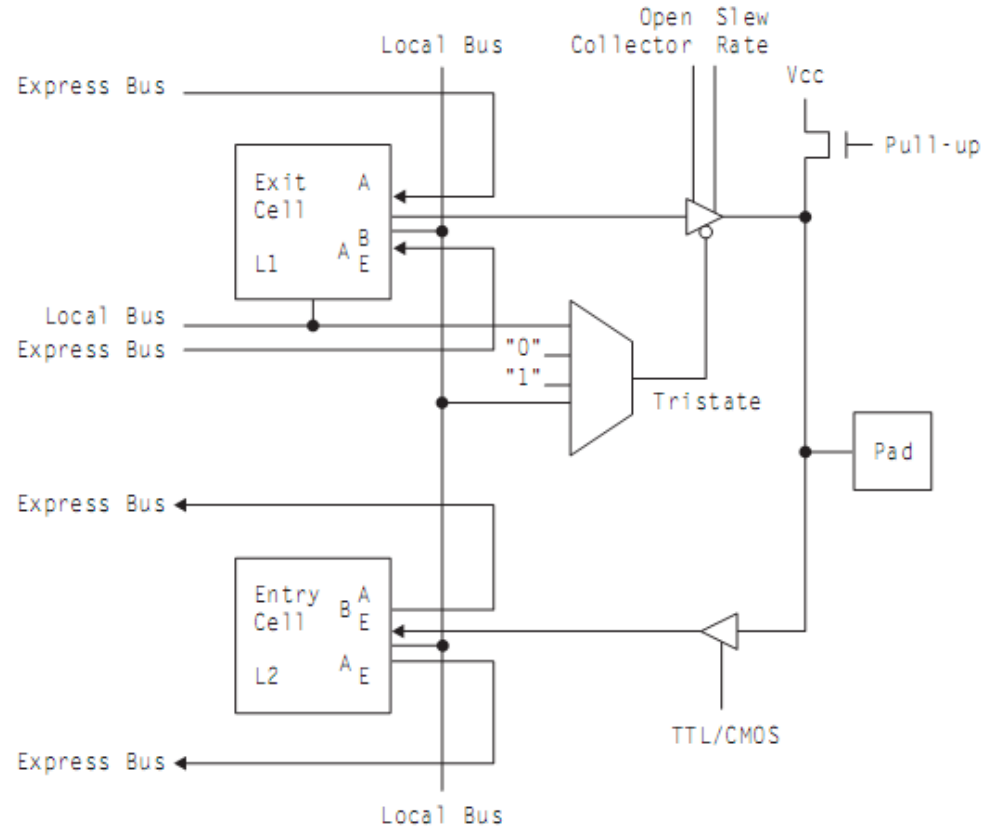
- CLB içinde Kombinyasyonel Lojik LUT ile gereklenir.
- LUT fonksiyon jeneratörü olarak da adlandırılır.
- Kapasite, LUT giriř sayısı ile sınırlı. Devrenin karmařıklığı fark etmez.
- LUT gecikmesi sabit.



A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
.
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

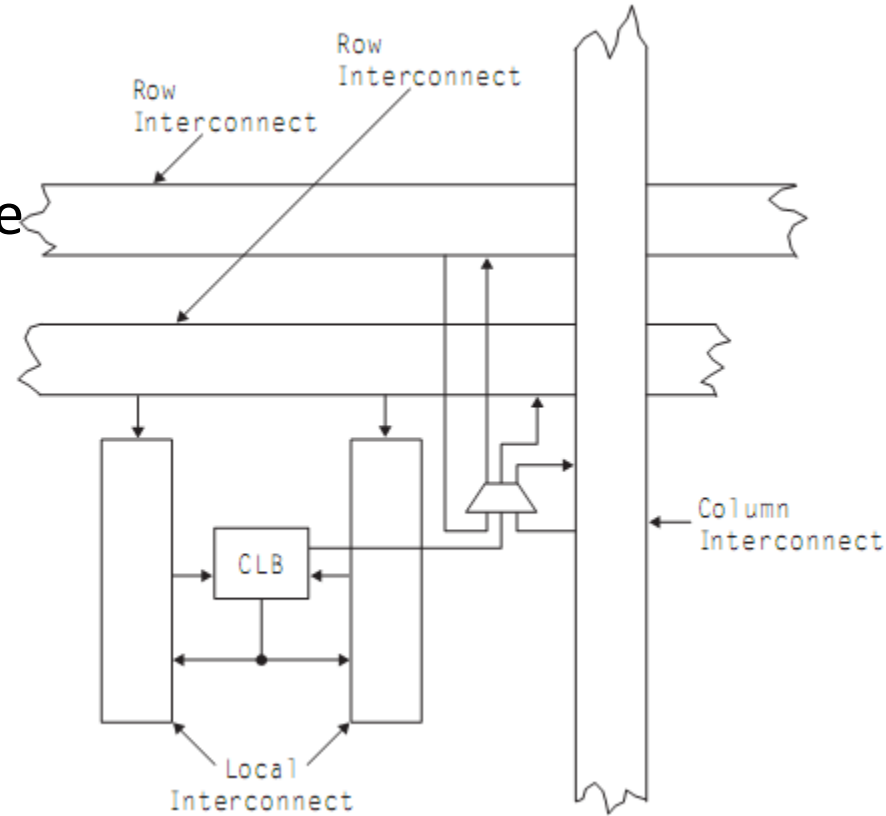
I/O Blokları - FPGA

- Her I/O portu giriş çıkış ya da çift yönlü ayarlanabilir
- Giriş çıkışlar diğer aygıtlarla uyumlu olabiecek şekilde değişik voltaj seviyelerine ayarlanabilmektedir.



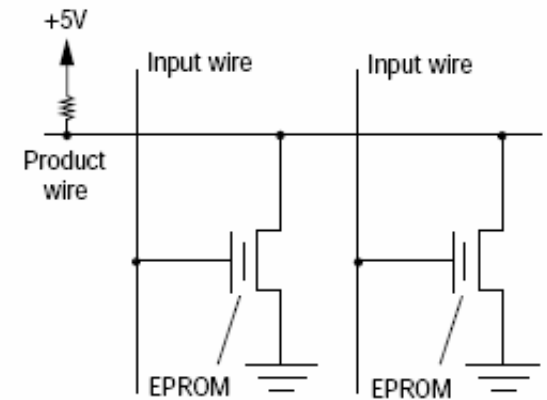
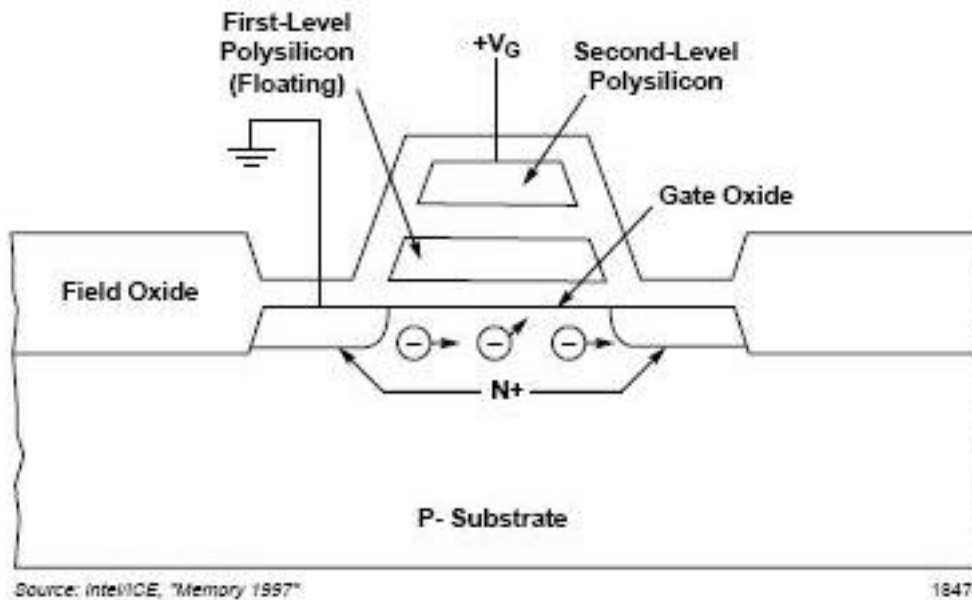
Saat devresi - FPGA

- Özel yüksek hızlı saat buffer ları çip yüzeyine dağılmıştır
- Bu bufferlar saat giriş pinlerine bağlıdır
- Clock tree boyunca saat hatlarına sinyali sürerler
- Senkron tasarımlarda saat 'in devrenin her yerine aynı anda ulaşması çok önemlidir



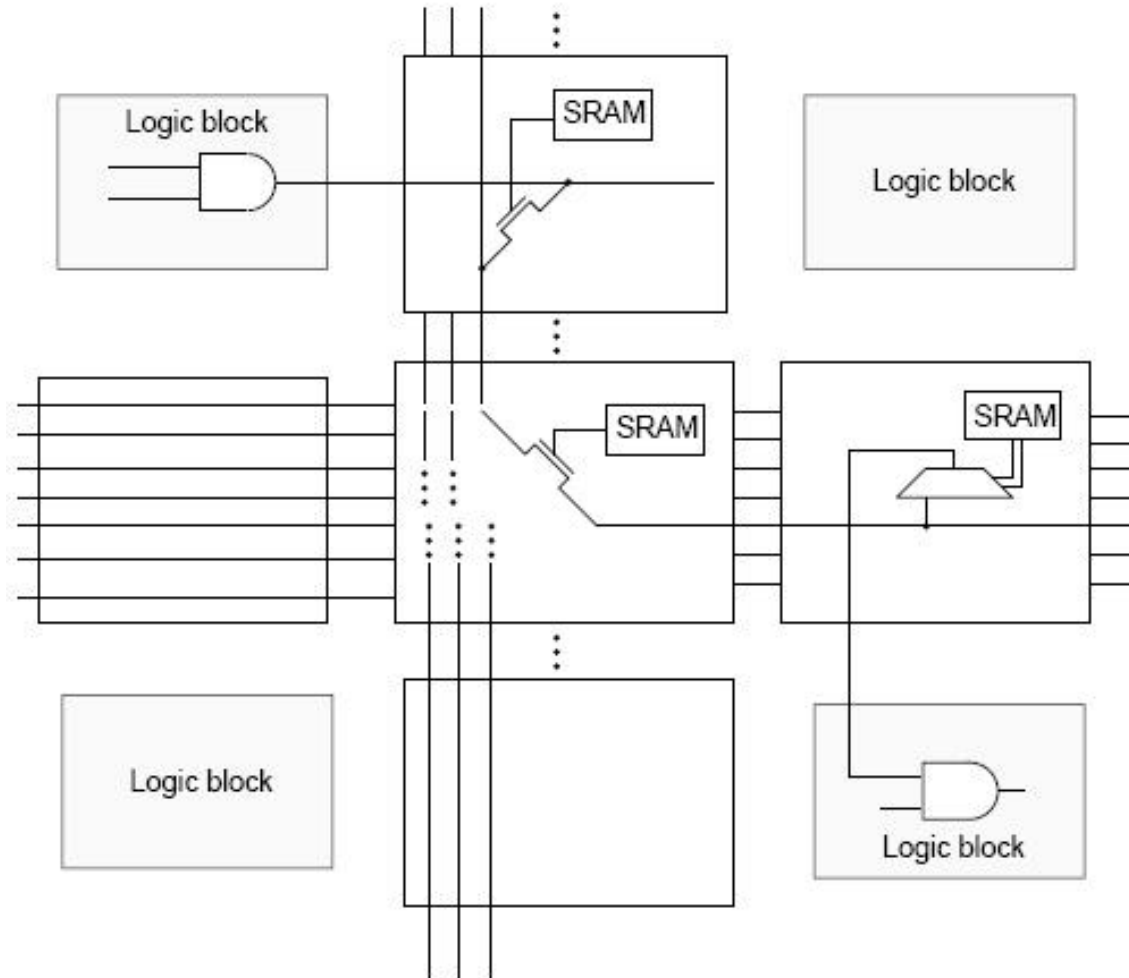
Programlanabilen Anahtarlama Teknolojileri

- CPLD: EEPROM'lara benzer yapıda "Floating Gate Transistor"



Programlanabilen Anahtarlama Teknolojileri

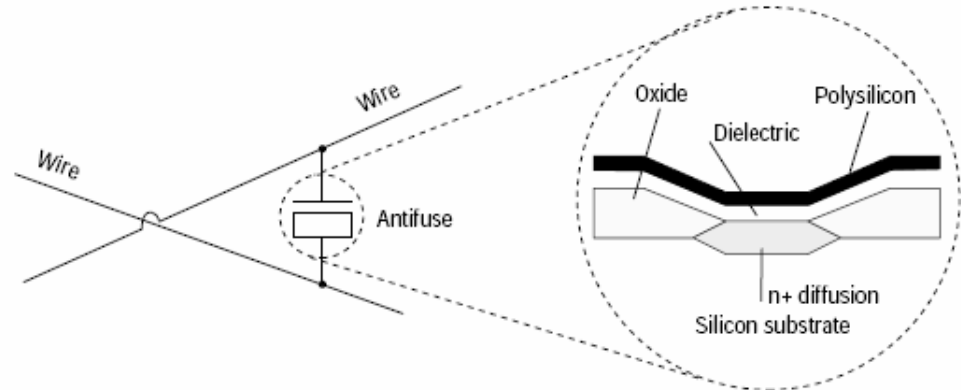
- FPGA: SRAM Kontrollü Programlanabilen Anahtarlar



Programlanabilen Anahtarlama Teknolojileri

OTP FPGA:

- Antifuse



Switch type	Reprogrammable?	Volatile?	Technology
Fuse	No	No	Bipolar
EPROM	Yes (out of circuit)	No	UVCMOS
EEPROM	Yes (in circuit)	No	EECMOS
SRAM	Yes (in circuit)	Yes	CMOS
Antifuse	No	No	CMOS+

Dijital Tasarım Girişİ

- Şematik Tasarım Girişİ
 - Devre şeması çizilerek
 - Hiyerarşik Bloklar ve ara bağlantılar
 - Sistemin genel yapısı kolay görülebilir
- Avantajları
 - Sistemin genel yapısı görsel olarak anlaşılabilir
 - Kapı seviyesinde optimize tasarım yapılabilir
- Dezavantajları
 - Karmaşık ve büyük sistemlerin tasarımı, bakımı ve anlaşılması zor
 - Kısıtlı simülasyon

Donanım Tanımlama Dilleri - HDL

- İlk olarak 1977 yılında,
 - ISP(Instruction Set Processor) - Carnegie Mellon Üniversitesi
 - KARL- Kaiserslautern Üniversitesi
- İlk modern HDL olan Verilog, 1985, Gateway Design Automation.
- VHDL, 1987, Amerika Birleşik Devletleri Savunma Bakanlığı Sponsorluğunda.
- HDL şematik devre tasarımlarının dökümantasyonu ve simülasyonu amacıyla geliştirilmişti.
- HDL'den Lojik sentezleme yapılması ile HDL Dijital Tasarımda ön plana geçti.

Verilog

- Verilog HDL, 1984-1985 Philip Morby, Gateway Design Automation
- Amaç : Dijital devreleri, modelleme, simülasyon ve analiz amacıyla kolay, basit ve etkili bir şekilde ifade etmek.
- IEEE tarafından ilk olarak 1995 yılında standardlaştırıldı.
- C programlama dilini andırır. Öğrenilmesi nispeten kolay
- Sistem hiyerarşik modüllerden ve bu modüllerin bir birleri ile ilişkileri ile tanımlanır.
- Modüller,
 - Yapısal (Düşük seviyeli lojik olarak),
 - Veri akışı ile (Çıkışları giriş sinyallerinin dönüşümü ile)
 - Davranışsal olarak (Devreden beklenen davranışın ifadesi şeklinde) üç değişik yapıda ifade edilebilir
- Üst seviyeli modüllerde soyutlamaya gidilebilmesini ve alt seviyeli modüllerinde de verimli olarak ifade etme imkanı sağlar

Verilog ile 4-Bit Sayaç

```
module counter(CLOCK, DIRECTION, COUNT_OUT);  
input CLOCK;  
input DIRECTION;  
output [3:0] COUNT_OUT;  
  
reg [3:0] count_int = 0;  
  
always @(posedge CLOCK)  
    if (DIRECTION)  
        count_int <= count_int + 1;  
    else  
        count_int <= count_int - 1;  
  
assign COUNT_OUT = count_int;  
  
endmodule
```


VHDL

- VHDL (Very high speed integrated circuit Hardware Description Language) Amerika Birleşik Devletleri Savunma Bakanlığı sponsorluğunda elektronik cihazların modellenmesi ve simülasyonu için desteklenen bir HDL olarak geliştirilmiştir.
- VHDL'in geliştirilmesindeki amaç modelleme, simülasyondur.
- Ancak sonradan tasarım aşamalarının otomasyonunu sağlayabilmek için sentezlemede de kullanılmaya başlandı.
- VHDL IEEE tarafından ilk olarak 1987 yılında standartlaştırıldı.
- VHDL, Verilog'a göre daha esnek sistem tasarımlarına imkan vermekle beraber üst seviyeli tasarıma daha uygundur. Ancak öğrenilmesi ve kullanımını biraz daha karmaşık ve uzundur.

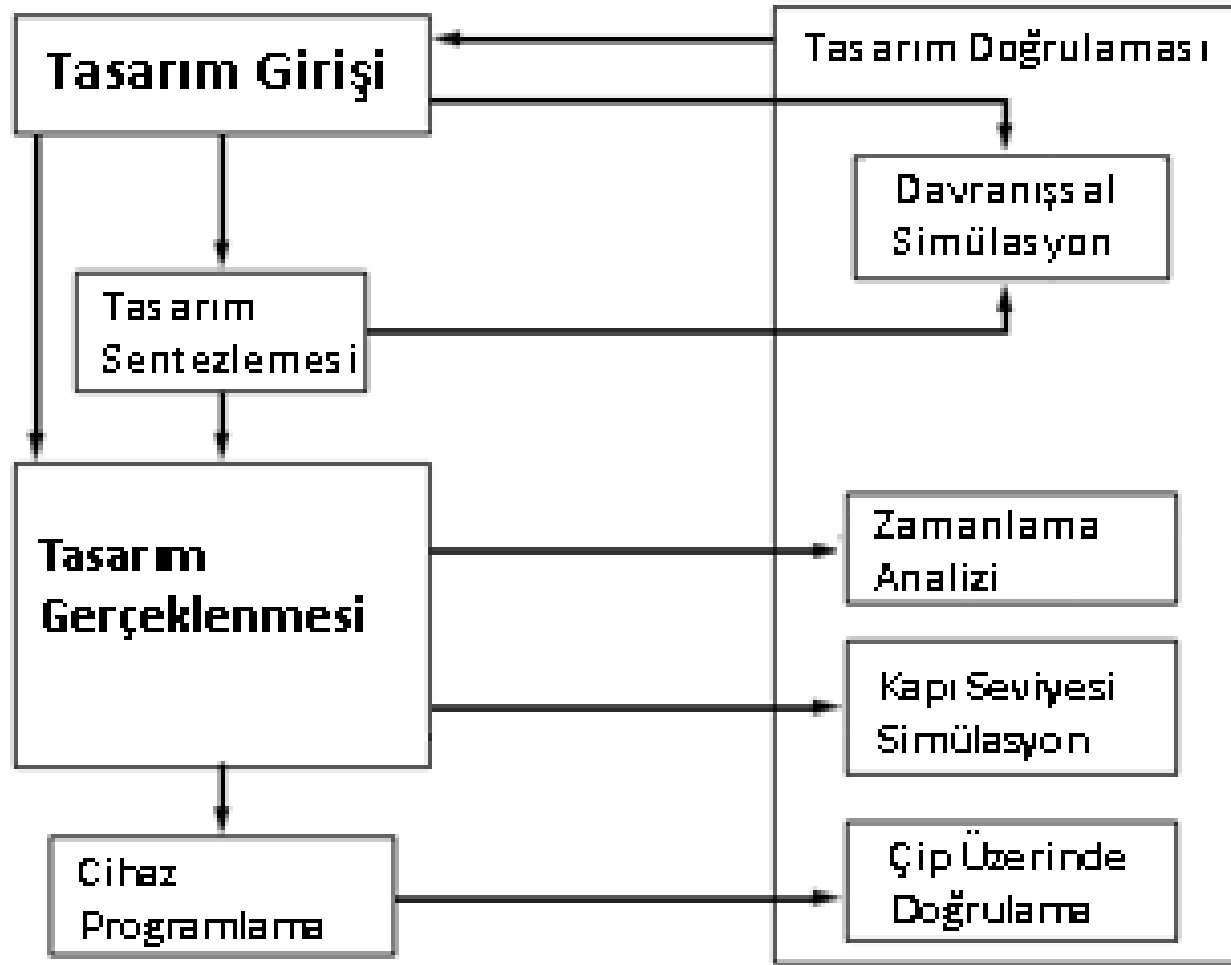
VHDL ile 4-Bit Sayaç

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity counter is
Port ( CLOCK : in STD_LOGIC;
      DIRECTION : in STD_LOGIC;
      COUNT_OUT : out STD_LOGIC_VECTOR (3 downto 0));
end counter;

architecture Behavioral of counter is
signal count_int : std_logic_vector(3 downto 0) := "0000";
begin
process (CLOCK)
begin
if CLOCK='1' and CLOCK'event then
if DIRECTION='1' then
count_int <= count_int + 1;
else
count_int <= count_int - 1;
end if;
end if;
end process;
COUNT_OUT <= count_int;
end Behavioral;
```

FPGA Platformunda Tasarım Süreçleri



CPLD & FPGA Seçimi

- Seçim tamamen gerekliliklere bağlıdır
- İkisi de yeniden programlanabildiğinden donanım geliştirmek için oldukça avantajlı platformlardır
- Hız olarak ise ASIC 'in hızına yetişemezler
- Bu yüzden çoklu üretimde geliştirme FPGA-CPLD üzerinde yapılırken olgunlaşan dizayn ASIC e

	CPLD	FPGA
Mimari	PAL benzeri	Kapı dizisi - benzeri
Hız	Hızlı, tahmin edilebilir	Uygulama bağımlı
Yoğunluk	Düşük - orta	Orta - yüksek
Bağlantı	Crossbar	Routing
Güç Tüketimi	Kapı başına yüksek	Kapı başına düşük

Proje için Platform Seçimi

- FPGA ve CPLD ler her ne kadar esnek yapılar olsa da proje geliştirme yeni başlayanlar için zaman alan bir süreçtir.
- Bazı durumlarda sıralı komutlar işleyen bir işlemcinin kullanılması daha avantajlıdır.
- Proje ile ilgili IP(Intellectual property) 'ler araştırılmalıdır.
- FPGA ya da CPLD projenin gerekliliklerine uyacak şekilde seçilmelidir
- İçerisinde bir işlemci ve FPGA bulunduran hibrit yapılar da değerlendirilmelidir.

